

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

REC'D 25 JUN 2003

WIPO

PCT

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is/ to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 04 月 02 日
Application Date

申請案號：091106646
Application No.

申請人：LM 艾瑞克生電話公司
Applicant(s)

局長

Director General

蔡練生

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

發文日期：西元 2003 年 3 月 25 日
Issue Date

發文字號：09220292020
Serial No.

申請日期	
案 號	
類 別	

A4

C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明名稱	中 文	用於類比/數位轉換器之比較器偏差校準
	英 文	"COMPARATOR OFFSET CALIBRATION FOR A/D CONVERTERS"
二、發明人	姓 名	1.班吉 艾瑞克 強森 BENGT ERIK JONSSON 2.克瑞斯特 艾佛 傑森 CHRISTER ALF JANSSON
	國 籍	瑞典 SWEDEN
	住、居所	1.瑞典史潘格市艾斯克拜洛肯區8號 ASKEBYKROKEN 8 1TR, SE-163 70 SPÅNGA, SWEDEN 2.瑞典林克平市艾倫迪加坦區31號 ARRENDEGATAN 31, SE-583 31 LINKÖPING, SWEDEN
三、申請人	姓 名 (名 稱)	瑞典商L M艾瑞克生電話公司 TELEFONAKTIEBOLAGET L M ERICSSON
	國 籍	瑞典 SWEDEN
	住、居所 (事務所)	瑞典斯德哥爾摩市S-12625 SE-126 25 STOCKHOLM, SWEDEN
	代 表 人 姓 名	1.安德斯 托森坦遜 ANDERS TORSTENSSON 2.克利斯特 達納 CHRISTER DAHNER

四、中文發明摘要 (發明之名稱： 用於類比/數位轉換器之比較器偏差校準)

一種類比/數位轉換器，包括一類比信號快閃類比/數位轉換之至少一個比較器陣列 (COMP1-COMP7)。裝置 (CCU, SW1-SW7) 係對陣列內之每一比較器可提供一共用基準信號至兩比較器之輸入。裝置 (CUU, DAC1-DAC7) 可迫使陣列內每一比較器變成相同邏輯輸出狀態。最後，裝置 (CCU, DAC1-DAC7) 可藉一斜面信號來調整每一比較器之比較器跳位點直至使邏輯輸出狀態反向為止。

英文發明摘要 (發明之名稱： "COMPARATOR OFFSET CALIBRATION FOR A/D CONVERTERS")

An A/D converter includes at least one comparator array (COMP1-COMP7) for flash A/D conversion of an analog signal. Means (CCU, SW1-SW7) provide, for each comparator in the array, a common reference signal to both comparator input terminals. Means (CCU, DAC1-DAC7) force each comparator in the array into the same logical output state. Finally, means (CCU, DAC1-DAC7) adjust the comparator trip-point for each comparator by a ramp signal until the logical output state is inverted.

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

瑞典 2002年02月13日 0200435-6 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

技術範圍

本發明係關於類比至數位轉換器，尤其是關於如何改良此種轉換器位元階層決策之準確度。

背景

按一高速類比/數位轉換器，其比較器之響應時間必須極短。因此期望有一簡單比較器電路以便減短其固有之傳播延遲。然而，簡單比較器電路典型上由於比較器之偏差誤差具有較低準確度，此可使其並不適於高解析度之A/D轉換器。

嚴謹之電路及規劃設計係低偏差比較器之首要關鍵處。因在製造過程分解內之隨機變化含發生欠匹配。一項熟知之事實是：小型裝置對此等隨機誤差係更靈敏，且增加實體大小可改良匹配[1]。然而，增大組成件實體大小之缺點為：此通常可導致功率消耗之增加。此係像電容性感性組成件之調整與諸如MOS電晶體之有效組成件之調整，兩者均屬真實。即使當功率消耗並非成一問題時，但對一能達到的準確度含有一實質上的限制。藉研究公開之文獻，似乎一謹慎設計之比較器確可提供一等於3-4位元之精密度。

一減少比較器偏差效應之廣泛使用方法係配置一前置放大器在比較器前面。假定前置放大器之偏差是顯著少於比較器偏差，現在可藉前置放大器[1]之增益衰減比較器偏差之效應。然而，因增加一前置放大器，比較器之響應時間含隨前置放大器之傳播延遲而增長。此項增長響應時間

五、發明說明(2)

令顯著減少能達成之選樣率。

曾經顯示對在管路A/D轉換器內A/D次轉換器決策階層之數位改正可使用冗餘度。一種普遍方法是讓每一管路級之信號範圍重疊前級為1-b (亦即二之因數)。然後A/D次轉換器祇需要對級分解[2]係準確。然而，因額外需求極短傳播延遲在如高速管路A/D轉換器內，即令一4或5之位元之快閃A/D轉換器即很難以實施。因之製造產量就變得很低。

藉改變基準強度或藉增加一"反偏差"於基準電壓上即能減少比較器偏差之影響。以下說明兩種先前技藝之解決方法。兩種方法可變更實際加於比較器上之基準電壓。

在[3]內所述之"基準分接頭"方法係假定隨機偏差變動係大於電壓基準階層1 LSB。藉試用少數鄰近電壓基準分接頭，即發現可提供最少偏差之分接頭。雖概念上是簡單，但此方法有缺點，即僅可校準偏差至基準階層之 ± 1 LBS以內。此可足夠供一獨立之快閃A/D轉換器用，但當使用快閃A/D轉換器為一次轉換器時，例如在一管路A/D轉換器，乃希望有一比較器偏差之更準確補償，因為一比必要較高之比較器準確度可改良許多實際實施內之全盤性能。

在[4, 5]內所述之"反偏差電壓"法可周密地施加一副偏差電壓， V_a ，以平衡比較器電路之固有偏差。可使用一包括一向上/向下計數器和一切換電容器網路之反饋迴路以搜索，與施加，適當之副偏差電壓。本方法之缺點係在一電容器上會儲存可取消比較器偏差之副偏差電壓(或配平

五、發明說明 (3)

電壓) V_a 。因此配平電壓需要定期予以更新。在此種更新實例之間，所儲存之電壓對可改變儲存電壓之閃光係很敏感。此方法對校準中之閃光亦敏感，因為切換之瞬變現象可產生一被儲存之不完善配平電壓並使用於整個更新循環期間。

發明概要

本發明之目的係在改善A/D轉換器內之比較器準確性而沒有先前技藝解決辦法之缺點，特別是沒有顯著速度之不利後果。

依據所附申請專利範圍即可達成此目的。

簡言之，本發明可校準內部比較器跳位點(其中比較器之輸出可轉換由0至1)以補償比較器偏差。因內部即可調整比較器，故未引進額外之傳播延遲。此即表示以十分簡單之比較器即可獲致一甚高選樣率。另一方面，藉使用夠小之校正步驟即可能獲得甚高之比較器準確度。

附圖簡述

藉參考以下所作說明連同附圖即可最佳了解本發明及其進一步目的與優點，其中：

圖1係一典型管路A/D轉換器之方塊圖；

圖2係圖1內A/D轉換器典型級之方塊圖；

圖3係管路A/D轉換器級內一比較器陣列之方塊圖；

圖4係按照本發明包括一校準系統典型實施例之A/D轉換器級的方塊圖；

圖5係說明按照本發明用以校準比較器之斜面信號示圖；

圖6係說明當斜面信號增加時其中一個比較器之校正信

五、發明說明 (4)

號作用情況圖；

圖7係說明書當斜面信號增加時其中一個比較器輸出信號之作用情況圖；

圖8係說明當斜面信號增加時第二比較器之校準信號作用情況圖；

圖9係說明當斜面信號增加時第二比較器之較出信號作用情況圖；

圖10係說明按照本發明偏差校準方法之一典型實例之流程圖；

圖11係說明由本發明所獲得之改良式差動非線性(DNL)之示圖；

圖12係沒有校準之A/D次轉換器的測量功率頻譜；與

圖13係按照本發明所校正之A/D轉換器之測量功率頻譜。

發明詳細說明

按以下說明對相同或相似元件係使用相同參考名稱。

以下說明係說明本發明並參考一管線A/D轉換器。然而，可了解本發明並非限於管線A/D轉換器設計。它亦同樣係適用於使用快閃A/D轉換器為一建構區塊之任何設計。此種設計之範例是多位元 Δ - Σ ，次分類，摺疊，與獨立之快閃A/D轉換器。

圖1係典型管線A/D轉換器之方塊圖。一N-位元類比至數位轉換器係在兩級或更多級內完成，每級擷取由數位字元 $\{d_1, d_2 \dots d_K\}$ 所代表之資訊 $\{N_1, N_2 \dots N_K\}$ 位元，其中K係管線之級數。第一管線數可擷取使用一 N_1 -位元A/D次轉換

五、發明說明 (5)

管10之 N_1 最有效位元。然後藉使用D/A次轉換器12和一加減器14自類比輸入信號 V_{in} 減去估計值，留下包含為擷取較少有效位元所必需資訊之餘剩值。通常此餘剩值係由有增益 G_1 之放大器16予以放大以建立管線級2之適當信號範圍。對所有K級均可重複此等步驟，但最後管線級除外，此級不需產生一類比輸出且因此沒有D/A轉換器，加減器或放大器，但祇有一A/D轉換器10。然後聯合數位字元 $\{d_1, d_2 \dots d_K\}$ 以形成在時間校準之機組18內之數位輸出字元 d_{out} 與A/D次轉換器資料之數位改正。

為簡化以下說明，茲假定A/D轉換器級具有3位元之解析度。此數目係夠小足以能予管理，但亦夠大足以闡明一典型情況之重要特徵。據了解一般情形位元數目是可以較大。此特別是單級快閃A/D轉換器之情況如此，因之轉換器典型上可有高達10位元之解析。

圖2係圖1之A/D轉換器典型級之方塊圖。A/D之轉換器10包括眾多比較器COMP1-COMP7。每一比較器之一個輸入端係連接至一相應之基準電壓REF1-REF7。藉基準信號產生器20內完全基準電壓之電阻性電容性除法即能產生此等基準電壓。每一比較器之其他輸入端可接收類比輸入信號(至每一比較器之相同信號)。由比較器之輸出信號TH1-TH7可集合形成按溫度表代碼之數位化值。此等信號在一溫度表代碼匯流排上轉送此等信號至D/A次轉換器12，其中將其變換成一相應之類比值。由加減器14內之原始類比值減去此值，且餘剩信號係由增益元件16內之一增益等於

五、發明說明 (6)

4加以放大。

圖3係管線A/D轉換器級內比較器陣列方塊圖。在此一轉換器內需要閂鎖位元階層決策，如此在其係由內部D/A轉換器使用期間內此等決策並未改變。一流行方法是使用某種再生閂鎖。此種再生閂鎖具有比較器之完全功能性，且因此能將其照此使用，雖然其偏差OFF1-OFF7是相當高，常常大於在兩相鄰基準電壓REF1...REF7間之差異電壓。此等偏差主要是由於裝置欠匹配與寄生欠匹配，致引起閂鎖/比較器發生有效跳位點而自其理想值(典型上為0 V)移動。然而。本發明係適用於更多普通比較器，雖然按此規格由一再生閂鎖可例證一簡單比較器。

圖4係按照本發明一校準裝置之典型實施例。本發明藉校準A/D次轉換器跳位點以補償比較器偏差即可解決上述問題。修改比較器電路如此可由一控制電壓(或電流)V_CAL1-V_CAL7能調整其在跳位點週圍之平衡。在[6]內說明此一比較器之實例。經由專屬之校準D/A轉換器DAC1-DAC7可施加控制電壓。每一校準D/A轉換器可接收其來自儲存偏差校準值CAL1-CAL7之一相應暫存器REG1-REG7之數位輸入代碼。可選擇校準D/A轉換器DAC1-DAC7之全面範圍以使其夠大足以平衡在所望偏差範圍以內之任一偏差。最低電壓V_CAL i ， $i=1...7$ ，應可保證：比較器輸出係全為0(或1，此視是否使用"正"或"負"邏輯而定)，同時最高電壓V_CAL i 之在輸出處應保證為1(或0)。按照最大可接受之比較器偏差剩餘可選擇校準D/A轉換器DAC1-DAC7之解析。

五、發明說明 (7)

藉由陣列內所有比較器 COMP1-COMP7 所共用之校準控制器 CCU 即可起始並控制一校準序列。為便說明，以下闡述一校準序列(在圖 4 內曾由圓點指示某些比較器級以增進該圖之可讀性)：

1. 連接與每一比較器相聯合之基準電壓 REF_i , $i=1...7$ ，至各別比較器之正與負兩種輸入。因為比較器之隨機偏差 $OFF1-OFF7$ ，輸出位元 $TH1-TH7$ 係隨機地為 0 或 1 此視 $OFF1-OFF7$ 之符號而定。

2. 校正控制器 CCU 可寫出代碼 MIN (典型上為 0) 至一斜面代碼匯流排上。同時迫使所有暫存器 $REG1-REG7$ 以儲存此零代碼，因而使每一比較器之平衡起變化，結果所有暫存器都有一零輸出。因施加一 $FORCE_WRITE$ (強迫寫出) 信號至可控制至相應暫存器 REG_i 寫出之一邏輯閘極 LOG_i 即可完成此工作。

3. 設定一 $ENABLE_WRITE$ (致能寫出) 信號至 TRUE (真實)。如圖 5-9 所示藉使匯流排代碼有斜面由 MIN (最小) 至 MAX (最大) 對所有比較器可同時發現該跳位點，且因此發現偏差校準值 CAL_i , $i=1...7$ 。

4. 只要 $WRITE_i=TRUE$ ，即可儲存每一新匯流排代碼在相應暫存器 REG_i 內，且因此亦使校準之 D/A 轉換器輸出電壓 V_CAL_i 為斜面，如各別對 V_CAL1 和 V_CAL5 在圖 6 及 8 內所示。

5. 最後，由每一比較器之比較器輸出 TH_i 會改變由 0 至 1。相應邏輯閘極 LOG_i 可檢測出此值且可設定 $WRITE_i=FALSE$

五、發明說明 (8)

(寫出 $i = \text{假}$)，此可防止新代碼被寫出至暫存器 REG_i 上 1。因之現行斜代碼匯流排值 CAL_i 即變成比較器之數位偏差校準值。

6. 匯流排代碼可繼續有斜面高達 MAX (圖 5)。在此斜面中某處，每一個別比較器含檢測及儲存如圖 7 及 9 所示曾使比較器反向由 0 至 1 之代碼值 (因為，如上述，可選擇校準 D/A 轉換器 DAC1-DAC7 之全部範圍如此使其夠大足以平衡在所望偏差範圍以內之任一偏差)。

在圖 10 之流程圖表內可概述本方法。步驟 S1 可連接比較器陣列內每一比較器 COMP1-COMP7 之兩輸入端至共同基準電壓 (其中對每一比較器係不同) 以迫使每一比較器至一界定明確之輸出狀態，例如符合邏輯狀態 0 之一種狀態。步驟 S2 可設定斜面代碼至 MIN (最小) 且可儲存此值在每一比較器之暫存器 $\text{REG}_1\text{-REG}_7$ 內。步驟 S3 可使寫出至所有暫存器 $\text{REG}_1\text{-REG}_7$ 致能。步驟 S4 可增加斜面代碼一個步驟且可寫出新值在所有寫出致能暫存器內。步驟 S5 可測驗是否任一輸出線路 TH1-TH7 曾改變狀態 (至邏輯 1)。若然，相應暫存器 (或諸暫存器) 係按步驟 S6 所保護之寫出，且此後此程序即進行至步驟 S7。若輸出未改變，則程序即直接由步驟 S5 進行至步驟 S7。步驟 S7 可測試是否所有比較器輸出曾改變狀態。若然，則校準在步驟 S8 完成。否則，程序回復至步驟 S4 以增加斜面代碼並寫出新值在剩餘之寫出致能暫存器內。

如上述，可選擇校準 D/A 轉換器 DAC1-DAC7 之全部範圍

五、發明說明 (9)

如此可使其夠大足以平衡在所望偏差範圍以內之任一偏差。然而，若不可能情況發生：當已到達最大斜面代碼 MAX 時仍然保留有尚未改變輸出狀態之比較器，按稍微修改之實施例可使用此 MAX (最大) 值作為此等比較器之校準值。雖並不最適宜，但此值仍然較佳於完全沒有偏差補償。一相似意見可適用於較低限度。若不可能迫使一比較器達步驟 S1 之邏輯 0，可使用斜面代碼 MIN 為校準代碼，且此後可使寫出至相應暫存器之寫出除能。

所述方法可使用跳位點之簡單評估。在決定校準係數時不需要複雜之評估或回饋電路。校準所有並聯之比較器是有可能的一甚至是較佳。

至今所述之建議方法係一最重要校準法。此可表示經 A/D 轉換器之正常信號流程在校準中受中斷或被更改方向。在加上電源時或當系統內沒有電信號即能執行校準。新式試驗指示：在啟動時之單獨校準係足以維持完全系統性能。完成由校準實施所需額外功率消耗十分低，因為並沒有在背景內之連續操作運行，且校準 D/A 轉換器僅需要輸出至比較器之低功率 DL 控制電壓。

雖已說明該校準方法為最重要之校準法，亦可能將其分成在背景內可執行之較小步驟。例如，可能以每一步驟間正常選擇逐步執行使有斜面功能。在每一校準步驟中可插入取樣信號，否則在此等短時期間可使用一低解析 A/D 轉換器。雖此種方法似更複雜些，凡校準參數之連續更新係有利之情況下此法仍然可行，例如在凡溫度或其他環境參

五、發明說明 (10)

數有變化情況且因此在影響比較器偏差之應用方面。

上述校準方法可執行並聯之一個A/D轉換器級之所有比較器校準。然而藉使用一共同校準控制器與斜面代碼匯流排亦可能同時執行所有各級之校準。另一方面，亦可能在不同時間點個別校準每一比較器之跳位點。

而且，過去假定調整信號為直線性(斜面信號)。然而，亦有可能使用非直線性但沒有變化"斜面"信號，諸如部份正弦信號，多項信號等。事實上，信號之形狀並不重要，只要在第一次產生較小值以前並未產生一較大信號值(假定信號自MIN變至MAX)。

現參閱圖11-13來說明由本發明所獲得之性能改良。

圖11顯示按照本發明在校準前後一管路A/D轉換器之第一5-b A/D次轉換器差動非直線性(DNL)(茲假定比較器在兩種情況處均係簡單高速比較器)。由直水平線亦可指示對正確操作，亦熟知為幅合限度，所容許之最大DNL (± 0.5 LSB)。據了解沒有校準，DNL誤差大大超過符合限度。沒有校準，可減少DNL至恰好是在符合限度以內之 ± 0.2 LSB之下。

圖12係一正弦信號之測量功率頻譜。此正弦信號有用以產生圖11由A/D次轉換器裝設在30 MHz選擇率處所選樣之2 MHz頻率，且沒有校準。因為A/D次轉換器誤差超過 ± 0.5 LSB之符合限度，故頻譜係嚴重失真。可估計"混附自由動力範圍"(SFDR)至約35 dB。

圖13係與圖12相同信號之測量功率頻譜，但有依據本

五、發明說明 (11)

發明所校準之A/D次轉換器。在校準以後，A/D次轉換器誤差係恰好在符合限度以下，且估計SFDR至約95 dB，約有60 dB改善。

上述方法之替用法係讓代碼斜面由最高值變至最低值而非由最低值變至最高值。

而且，若有理由相信斜面之不同方向可產生不同校準係數值，則可使用向上/向下代碼斜面之組合。若內部雜音強度高，則比較器改變狀態太早之可能性合增加。然後一雙斜面法可產生一更確準之結果。接此情況校準係數係在向上與向下校準係數間之平均數。

減少雜音及閃爍影響之另一方法係在運行幾種校準序列，且取估計係數之平均值。

凡當電路係供電力下降時亦有可能外部儲存偏差或校準係數且在啟始時再將其載入電路內。

本發明之主要優點：它可容許待使用之較簡單比較器用快閃A/D次轉換器作為在快閃A/D轉換器或D/A轉換器內之建構區塊。藉免除需要一個或多個緩衝器級，可減少比較器之傳播延遲，且因而能增加選樣率。按照本發明此可能有持續之準確度。

本發明之較佳實例包括一數位校準法，其中可代表並可數位儲存偏差校準值。經由數位校準係數所控制之專用校準D/A轉換器即可施加類比較準電壓。因此，不需要校準電壓之週期更新，且經電路由傳播之閃爍電流及瞬變電流並不能永久改變施加校準電壓。若閃爍電流發生，校準

五、發明說明 (12)

D/A轉換器可當作一數位控制之電壓源，迅速恢復正確輸出電壓。

類比校準法在校準中對閃爍電流亦靈敏。按數位法，諸如本發明，可使用估計校準係數之平均值以減少偶然之閃爍電流之效應，以及永久雜音環境之效應。

精於工藝人員都了解可對本發明作不同修改及變更而沒有背離其由所附申請專利之範圍。

裝
訂
線

五、發明說明 (13)

參考文件

- [1] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, Holt, Rinehart and Winston, 1987.
- [2] S. H. Lewis, and P. R. Gray, "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter", IEEE J. Solid-State Circ., pp. 954-961, Vol. SC-22, No. 12, Dec 1987, IEEE.
- [3] G. F. Gross, Jr., T. R. Viswanathan, "Comparator-Offset Compensating Converter", US Pat. 5.696.508.
- [4] R. Croman, M. Goldenberg, J. P. Hein, "Method and Circuit for Cali-bration of Flash Analog to Digital Converters", US Pat. 5.990.814.
- [5] M. M. Kostelnik, R. Croman, M. Goldenberg, "Offset Calibration of Flash ADC Array", US Pat. 6.084.538.
- [6] Zigang Gu and W, Martin Snelgrove, "A Novel Self-Calibrating Scheme For Video-Rate 2-Step Flash Analog-to-Digital Converter", IEEE International Symposium on Circuits and Systems, Vol. 4, pp. 601-604, 1992.

六、申請專利範圍

1. 一種類比/數位轉換器之比較器偏差校準方法，包括以下步驟

對比較器陣列內每一比較器提供一共同基準信號給兩比較器輸入端；

迫使該陣列內每一比較器成為相同預定邏輯輸出狀態；及

對該陣列內每一比較器調整比較器跳位點直至使邏輯輸出狀態反向為止。

2. 如申請專利範圍第1項之方法，包括一沒有變化之改變信號來調整每一比較器跳位點之步驟。
3. 如申請專利範圍第1項之方法，包括藉一共同斜面信號同時調整該陣列內所有比較器之步驟。
4. 如申請專利範圍第1項之方法，包括對該陣列內每一比較器數位/類比轉換一數位斜面信號成為一類比跳位點調整信號之步驟。
5. 如申請專利範圍第4項之方法，包括對該陣列內每一比較器儲存代表可使其邏輯輸出狀態反向之數位斜面信號值的一偏差校準係數之步驟。
6. 如申請專利範圍第4項之方法，包括一步驟：對該陣列內每一比較器儲存代表可使其邏輯輸出狀態反向之增加數位斜面信號值與可使其邏輯輸出狀態反向之減少數位斜面信號值之平均數的一偏差校準係數。
7. 如申請專利範圍第4項之方法，包括以下諸步驟：
對該陣列內每一比較器，重複該調整步驟；和

六、申請專利範圍

對該陣列內每一比較器，儲存代表可使其邏輯輸出狀態反向之幾種數位斜面信號值之平均數之一偏差校準係數。

8. 如前述申請專利範圍第5-7項中任一項之方法，包括一步驟：對該陣列內每一比較器，外部儲存在類比/數位轉換器啟動時在爾後擷取之類比/數位轉換器電力下降處之該偏差校準值。

9. 一種類比/數位轉換器之比較器偏差校準系統，包括

對比較器陣列內每一比較器，提供一共用基準信號給兩比較器輸入端之裝置；

迫使該陣列內每一比較器成為相同預定邏輯輸出狀態之裝置；與

對該陣列內每一比較器，調整比較器跳位點直至邏輯輸出狀態係反向為止之裝置。

10. 如申請專利範圍第9項之系統，包括由一無變化之改變信號來調整每一比較器跳位點之裝置。
11. 如申請專利範圍第9項之系統，包括由一共同斜面信號來同時調整該陣列內之所有比較器之裝置。
12. 如申請專利範圍第9項之系統，包括對該陣列內之每一比較器，校準數位/類比轉換一數位斜面信號成為一類比跳位點調整信號之數位/類比轉換器。
13. 如申請專利範圍第12項之系統，包括對該陣列內之每一比較器，儲存代表可使其邏輯輸出狀態反向之數位斜面信號值之一偏差校準係數的暫存器。

六、申請專利範圍

14. 如申請專利範圍第12項之系統，包括對該陣列內之每一比較器，能儲存代表可使其邏輯輸出狀態反向之增加數位斜面信號值與可使其邏輯輸出狀態反向之減少數位斜面信號之平均數的偏差校準係數。
15. 如申請專利範圍第12項之系統，包括
對該陣列內之每一比較器，重複該調整步驟之裝置；及
暫存器對該陣列內之每一比較器，供儲存代表可使其邏輯輸出狀態反向之幾種數位斜面信號值平均數之一偏差校準係數。
16. 如前述申請專利範圍第13-15項中任一項之系統，包括對該陣列內之每一比較器，外部儲存在類比/數位轉換器開始運作時爾後擷取在類比/數位轉換器電力下降處之該偏差校準值的裝置。
17. 一種數位/類比轉換器，包括一類比信號快閃類比/數位轉換之至少一個比較器陣列，包括
對該陣列內之每一比較器，提供一共同基準信號給兩比較器輸入端之裝置；
迫使該陣列內每一比較器成為相同預定邏輯輸出狀態之裝置；及
對該陣列內每一比較器，調整比較器跳位點直至邏輯輸出狀態係反向為止的裝置。
18. 如申請專利範圍第17項之轉換器，包括由一無變化之變更信號來調整每一比較器跳位點之裝置。

六、申請專利範圍

19. 如申請專利範圍第17項之轉換器，包括由一共用斜面信號同時調整該陣列內之所有比較器。
20. 如申請專利範圍第17項之轉換器，包括對該陣列內之每一比較器，校準數位/類比轉換一數位斜面信號成為一類比跳位調整信號之數位/類比轉換器。
21. 如申請專利範圍第20項之轉換器，包括暫存器用以對該陣列內之每一比較器儲存代表可使其邏輯輸出狀態反向之數位斜面信號值之一偏差校準係數。
22. 如申請專利範圍第20項之轉換器，包括暫存器用以對該陣列內之每一比較器儲存代表可使其邏輯輸出狀態反向之增加數位斜面信號值與可使其邏輯輸出狀態反向之減少數位斜面信號值平均數之一偏差校準係數。
23. 如申請專利範圍第20項之轉換器，包括
對該陣列內之每一比較器，供重複該調整步驟之裝置；和
對該陣列內之每一比較器，供儲存所代表可使其邏輯輸出狀態反向之幾種數位斜面信號值之平均數之一偏差校準係數。
24. 如前述申請專利範圍第21-23項中任一項之轉換器，包括一裝置，供對該陣列內之每一比較器，外部儲存在類比/數位比較器開始運作時因爾後擷取在類比/數位轉換器電力下降處之該偏差校準值。
25. 如申請專利範圍第15項之轉換器，其中該陣列內之比較器包括再生閘鎖。

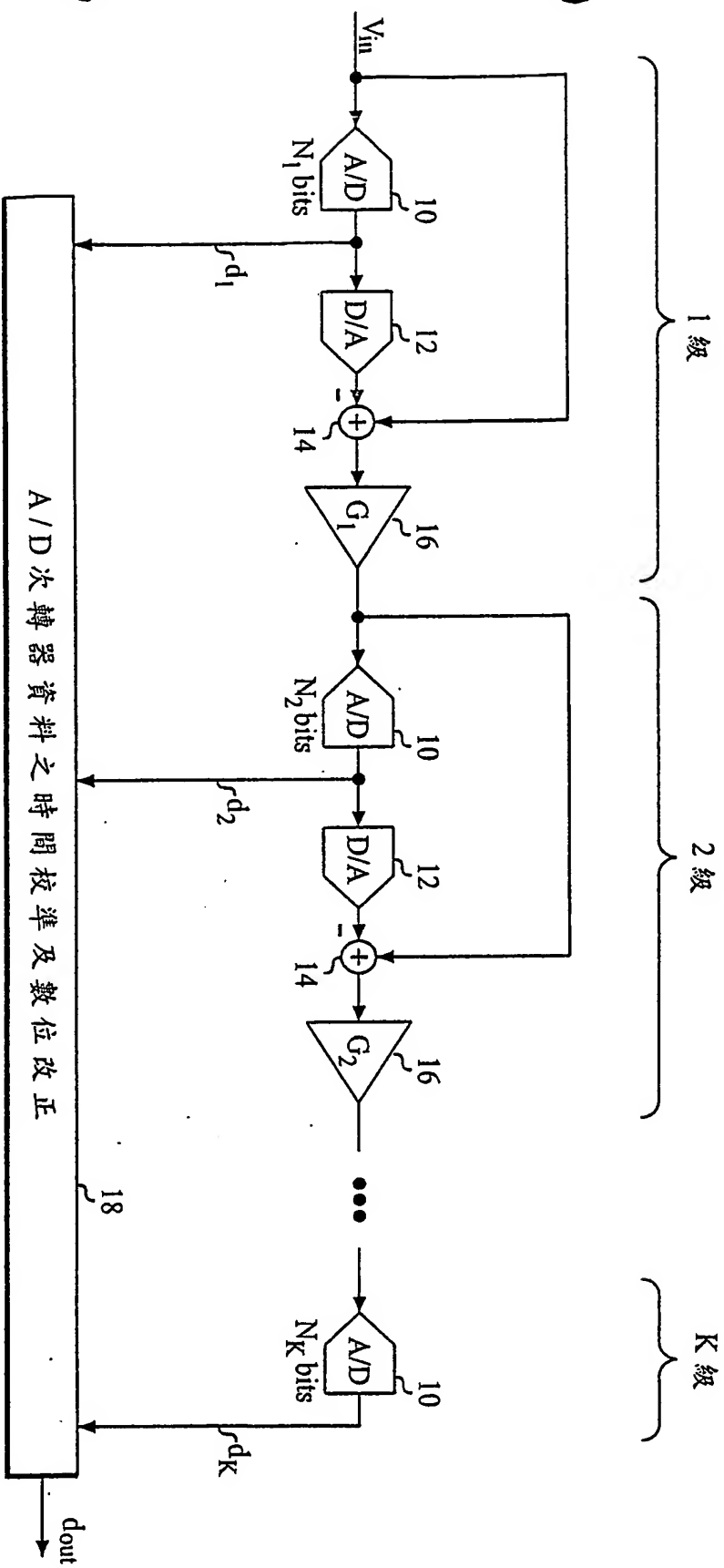


圖 1

類比信號

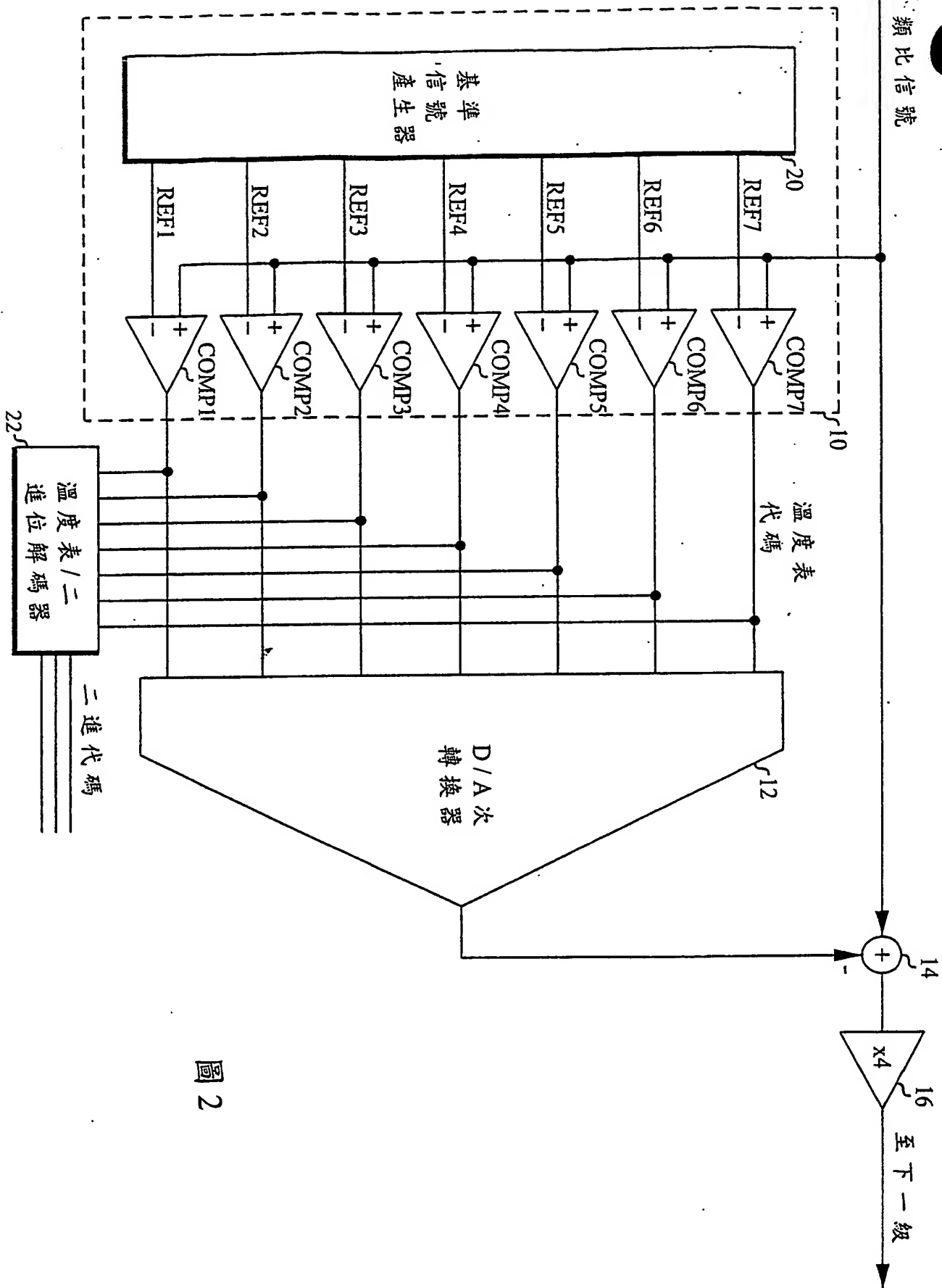


圖 2

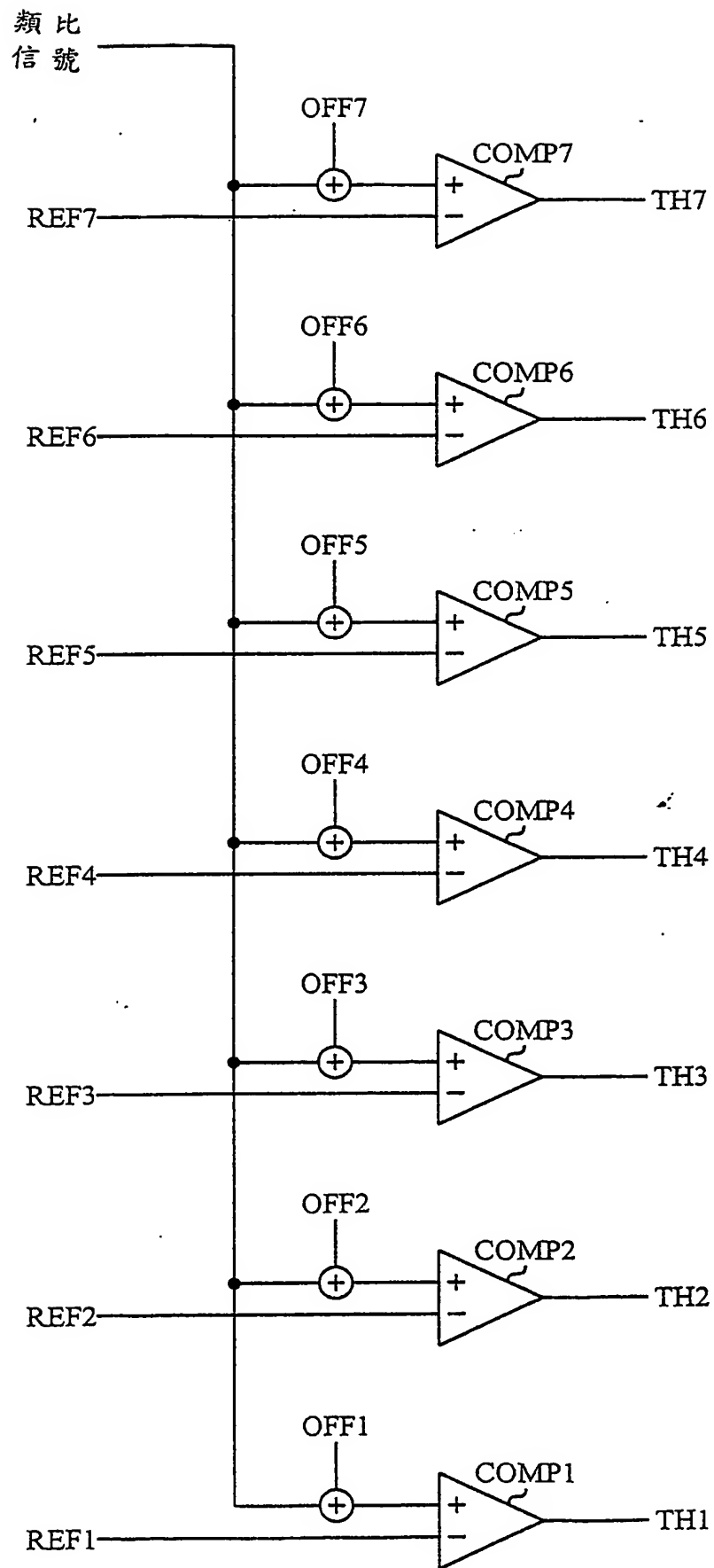


圖 3

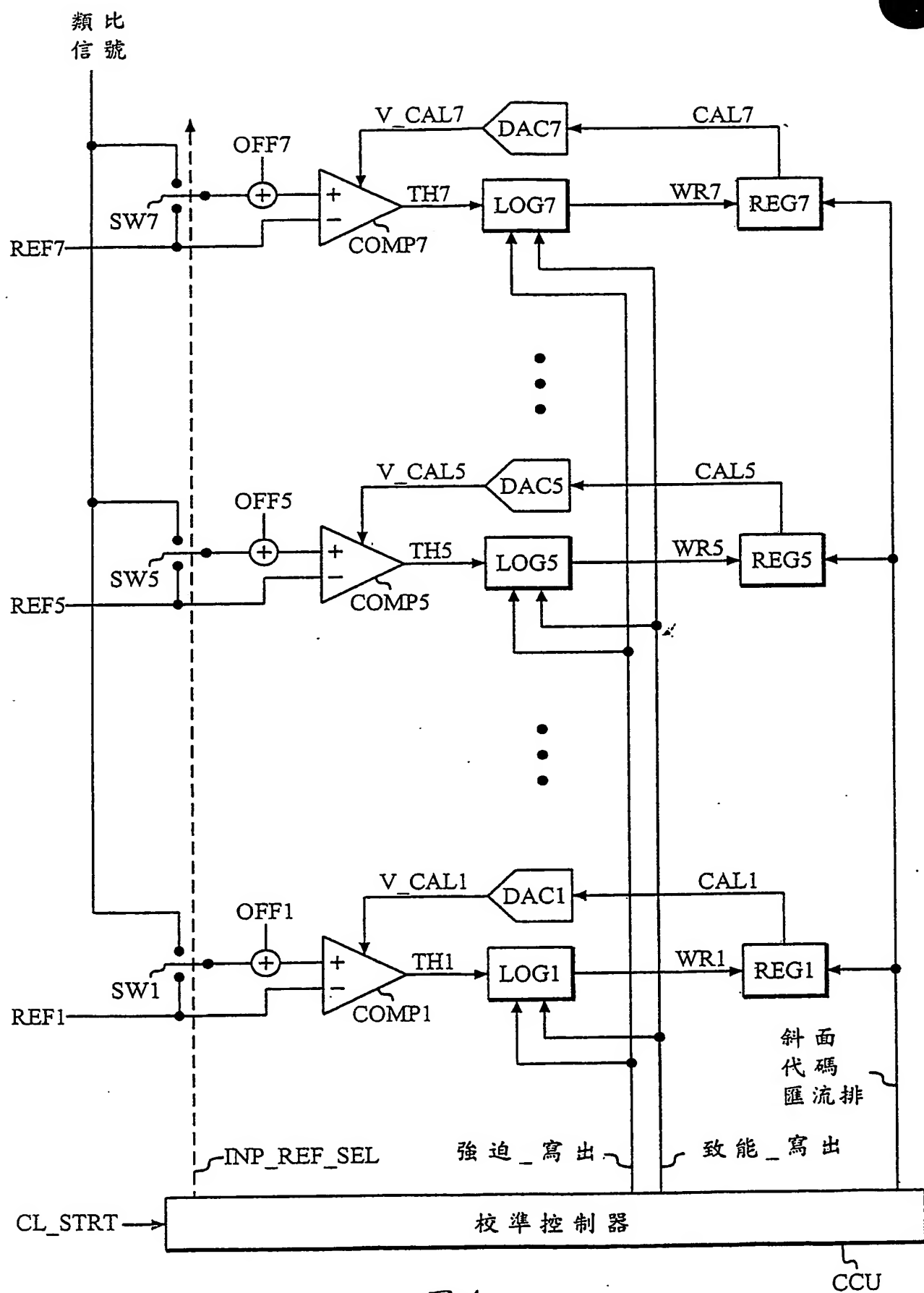


圖 4

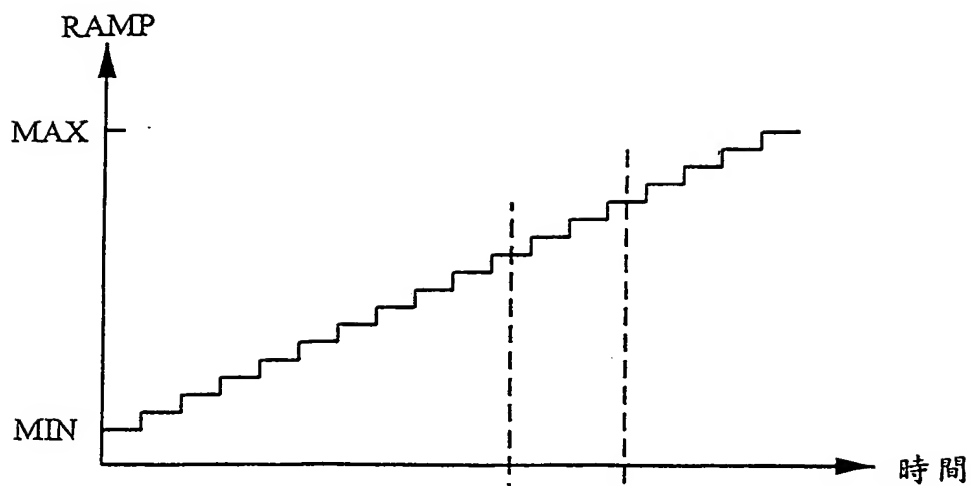


圖 5

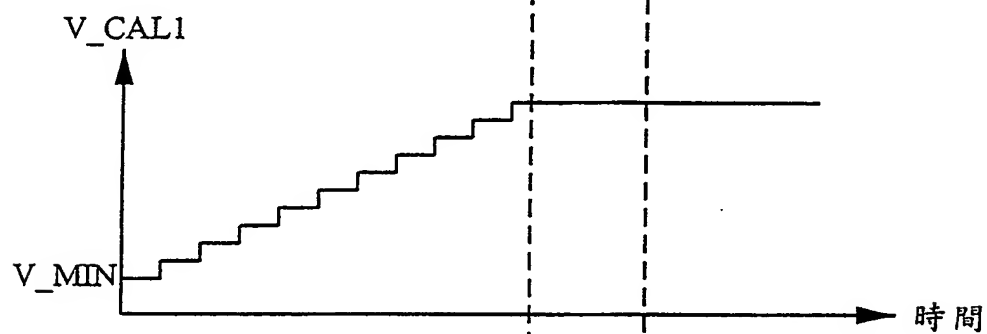


圖 6

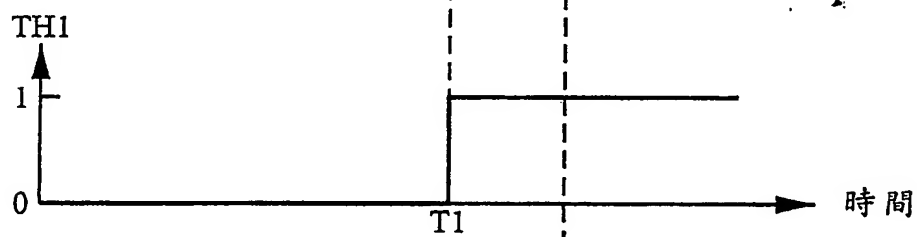


圖 7

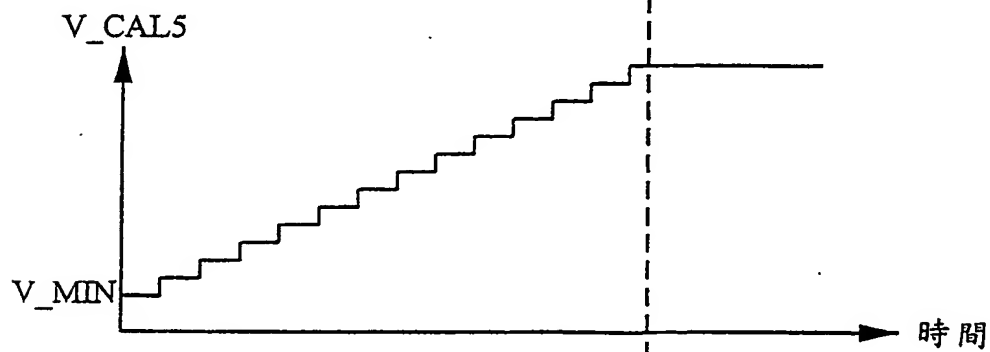


圖 8

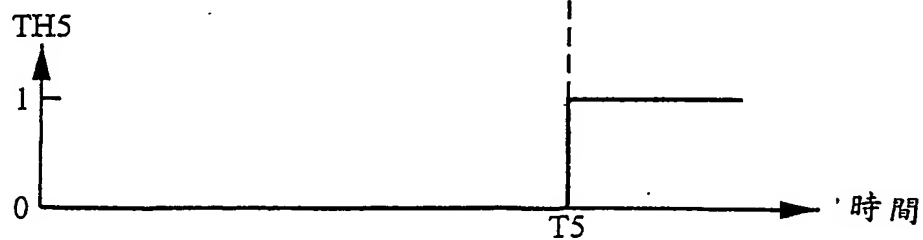


圖 9

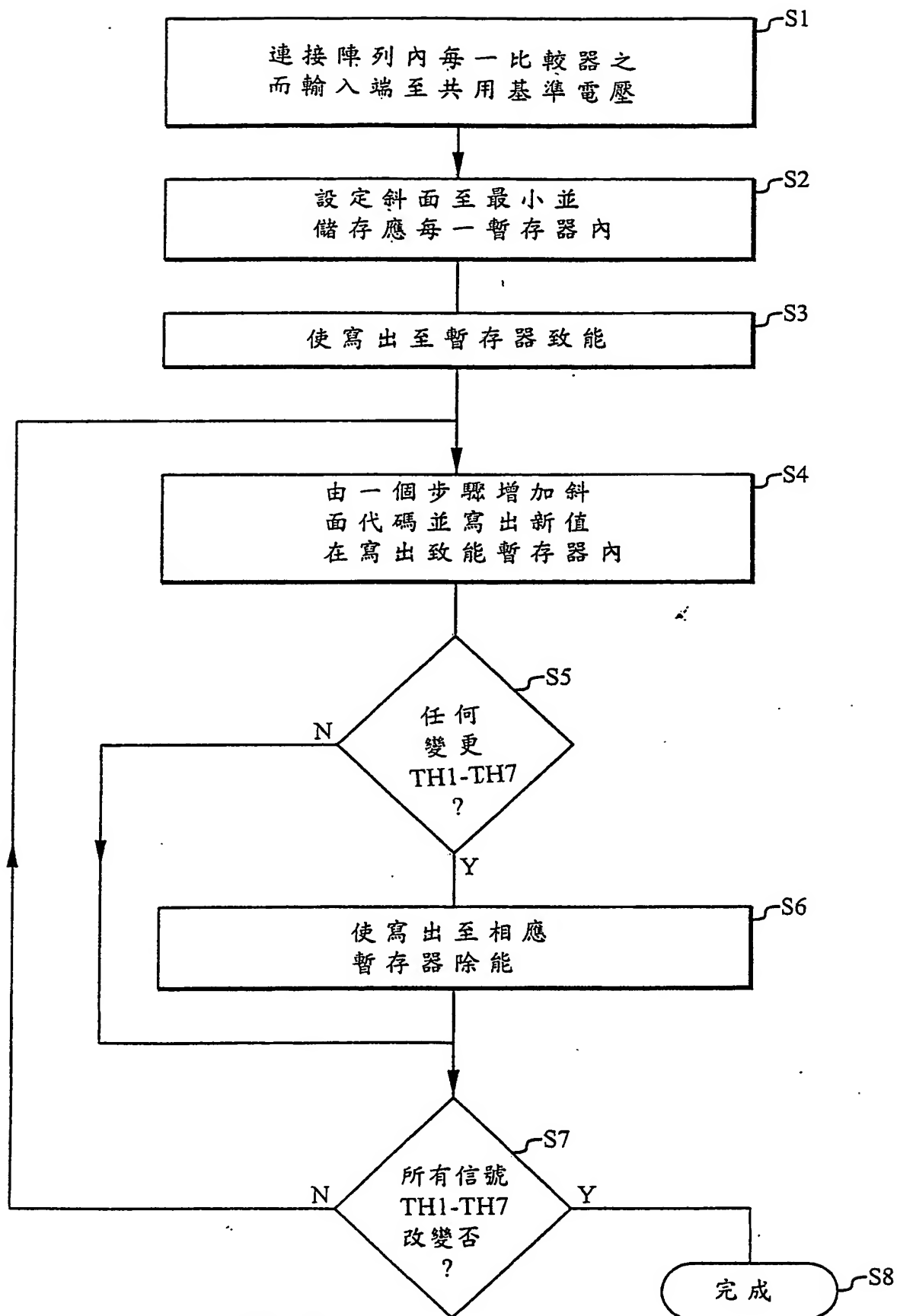


圖 10

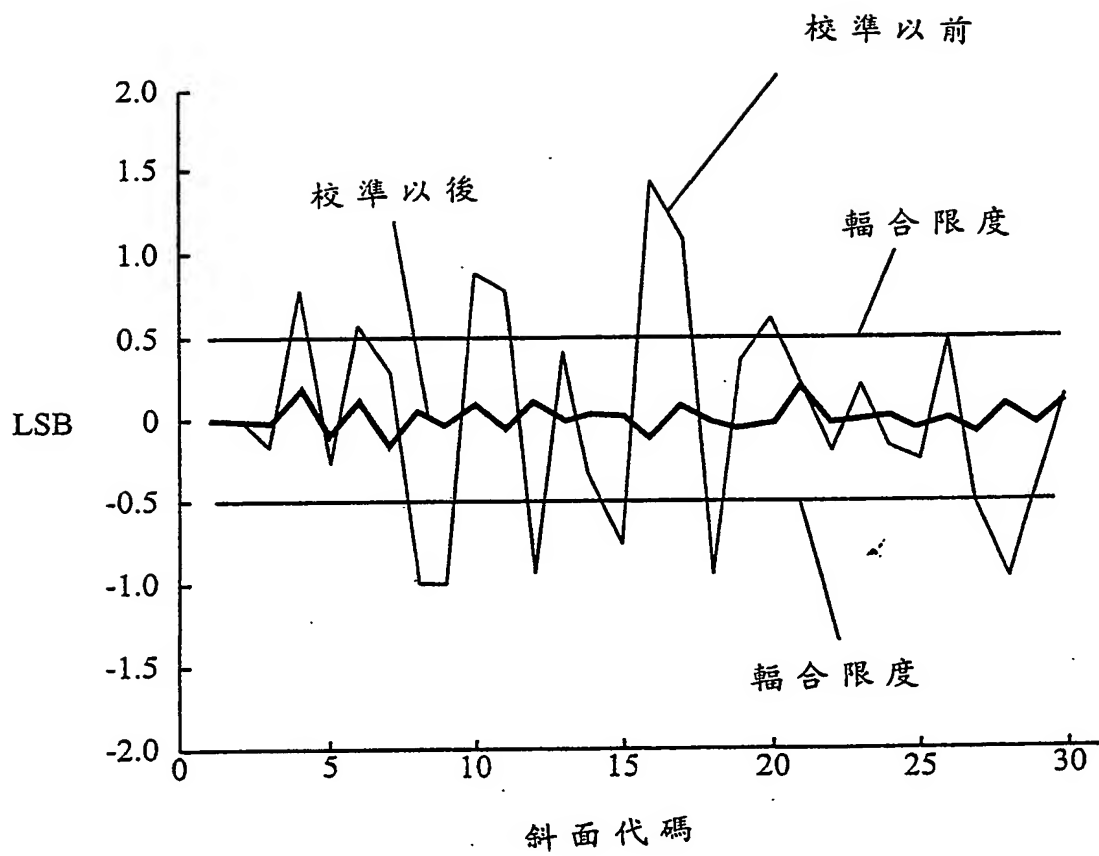


圖 11

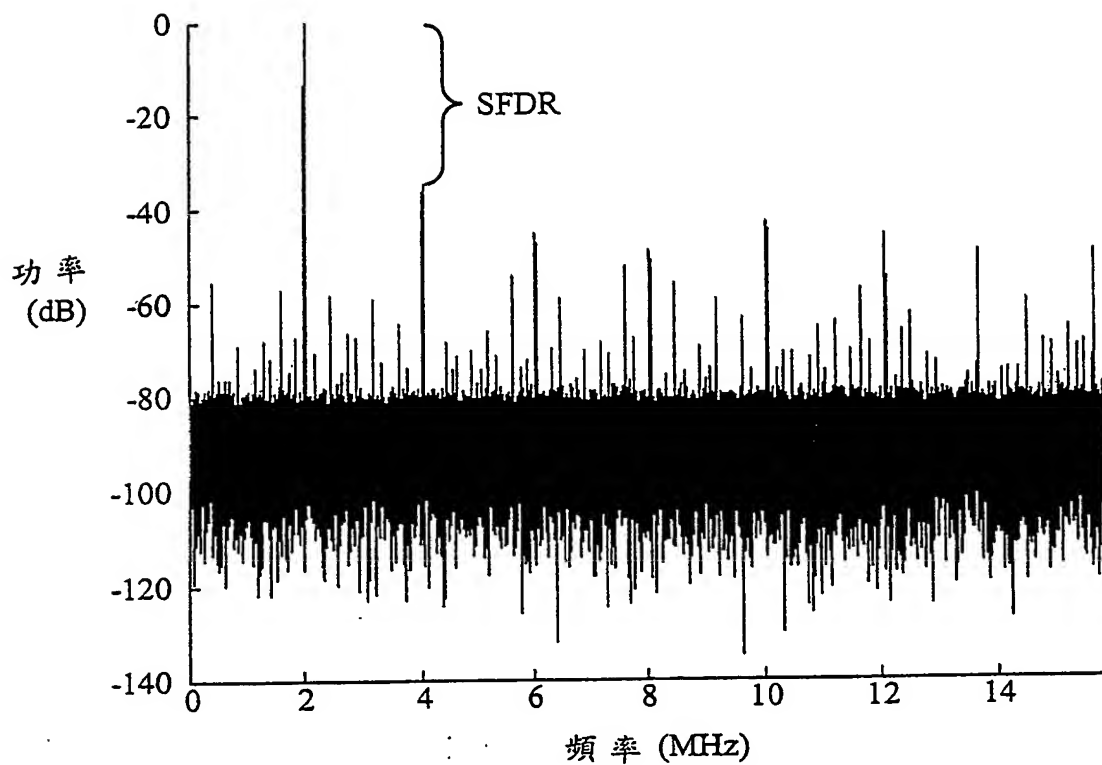


圖 12

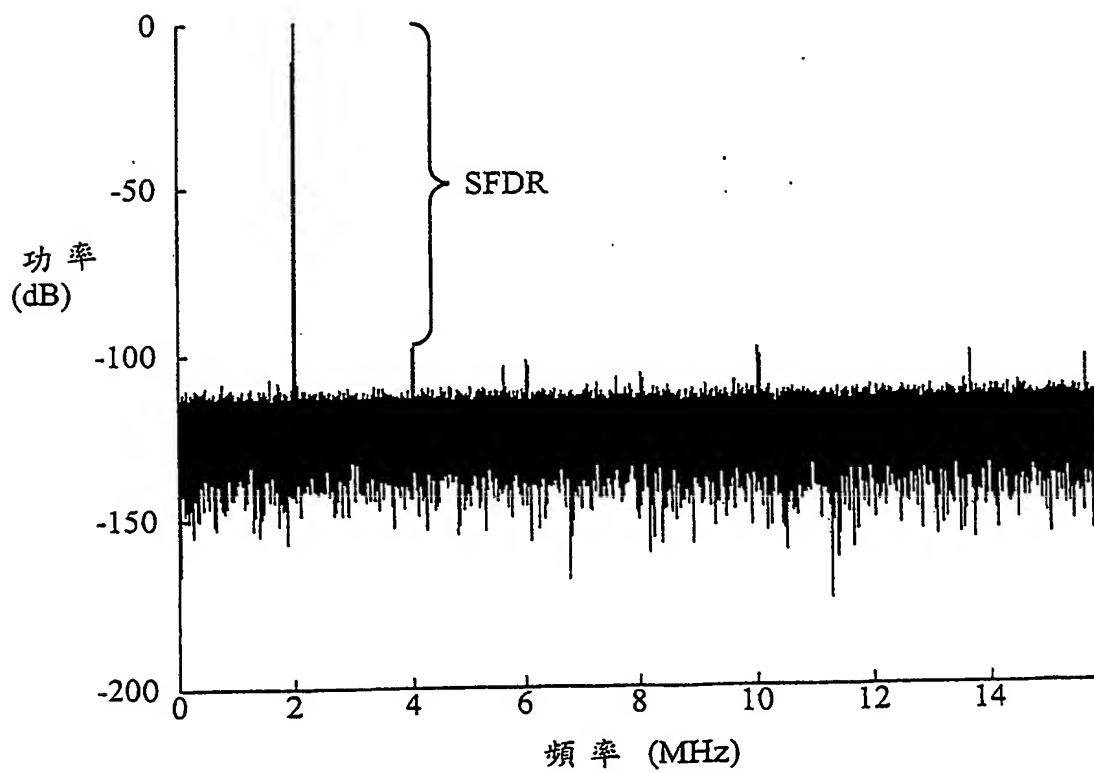


圖 12